清 华 大 学

综 合 论 文 训 练

题目：超高速、高精度数控振荡器(NCO)设计

系 别：电子工程系

专 业：电子信息科学与技术

姓 名：杨一雄

指导教师：杨华中 教授

2017 年 5 月 28 日

关于学位论文使用授权的说明



中文摘要

在目前众多的基于无线传感器网络的应用中，时钟同步技术是一个非常关键的技术。时钟同步技术可以用来实现任务调度，统计数据分布，协调动作与通信等功能。由于无线传感器网络具有低功耗、分布式、节点数量大等特点，因此越来越多的传感器网络节点开始采用太阳能自供能的电源方案。

本文通过研究太阳能的时间分布信息，提出了一种基于太阳信标的时钟同步方案。这项技术依托于传感器节点对于太阳能的采集，不需要大规模的射频收发同步以及其他的额外操作，在分布式的传感器节点内部算法复杂度低，平均功耗低。由于很多无线传感器网络应用的主要任务是数据采集，因此这项时钟同步技术可以满足基于太阳能自供能的传感器节点对于采样时钟的需求。

关键词：时钟同步；太阳能；无线传感器网络

ABSTRACT

Time synchronization technology stands in a very critical position of today’s wireless sensor network applications. Time synchronization technology is used in the area of task scheduling, data synchronization, task coordination, and communication functions. Since WSN system is concerned to be distributed, lower power consumed, and of large amount, more and more WSN sensor nodes adopt to use the power management system based on solar energy harvesting.

In this article, we studies the time distribution of solar energy information, and proposes a time synchronization scheme based on the solar beacon. This technology works according to the solar information collected by WSN sensor node, without too much radio frequency transmitting and receiving, which causes a very low power consumption. The synchronization is mainly realized in the server and the algorithm in the sensor node is of less complexity. Considering that a large quantity of WSN application is used for data acquisition, this time synchronization technology is able to meet the sample clock requirement of WSN sensor nodes based on solar energy harvesting.

Keywords: Clock Synchronization; Solar; Sensor Network

目 录

[中文摘要 I](#_Toc482556422)

[ABSTRACT II](#_Toc482556423)

[目 录 III](#_Toc482556424)

[第1章 引言 1](#_Toc482556425)

[1.1 研究背景 1](#_Toc482556426)

[1.1.1 锁相环式(PLL)频率综合 1](#_Toc482556427)

[1.1.2 直接数字式频率综合(DDS) 2](#_Toc482556428)

[1.2 DDS的研究现状 2](#_Toc482556429)

[1.3 论文主要工作 3](#_Toc482556430)

[第2章 直接数字式频率综合(DDS)原理 4](#_Toc482556431)

[2.1 DDS的基本结构 4](#_Toc482556432)

[2.2 查找表压缩技术 4](#_Toc482556433)

[2.3 CORDIC算法介绍 4](#_Toc482556434)

[2.3.1 基本原理 4](#_Toc482556435)

[2.3.2 改进算法 4](#_Toc482556436)

[2.4 误差来源分析 4](#_Toc482556437)

[2.5 本章小结 5](#_Toc482556438)

[第3章 基于直接数字式的振荡器设计 6](#_Toc482556439)

[3.1 ROM-CORDIC 混合结构设计 6](#_Toc482556440)

[3.1.1 系统架构 6](#_Toc482556441)

[3.1.2 相位累加器(PA)设计 6](#_Toc482556442)

[3.1.3 相位压缩器(PC)设计 7](#_Toc482556443)

[3.1.4 相位幅度转换器(PAC)设计 7](#_Toc482556444)

[3.2 资源配置分析 8](#_Toc482556445)

[3.2.1 误差分析 8](#_Toc482556446)

[3.2.2 配置方案 9](#_Toc482556447)

[3.3 关键路径优化方法 9](#_Toc482556448)

[3.3.1 流水线设计 9](#_Toc482556449)

[3.3.2 局部电路优化 9](#_Toc482556450)

[3.4 本章小结 9](#_Toc482556451)

[第4章 数控振荡器实现和仿真 10](#_Toc482556452)

[4.1 功能性仿真平台搭建 10](#_Toc482556453)

[4.1.1 Matlab数值计算平台仿真 10](#_Toc482556454)

[4.1.2 Modelsim 仿真平台搭建 10](#_Toc482556455)

[4.2 时序仿真结果 10](#_Toc482556456)

[4.3 性能比较 10](#_Toc482556457)

[4.4 本章小结 10](#_Toc482556458)

[第5章 结论 11](#_Toc482556459)

[5.1 主要工作总结 11](#_Toc482556460)

[5.2 未来工作展望 11](#_Toc482556461)

# 引言

## 研究背景

当今时代，无线通信系统正在全球急速扩展，生活中方方面面都离不开无线网络、蜂窝信号。新的应用如雨后春笋版出现，基于毫米波的5G移动网络正从实验室走向生活，但是这也对无线系统提出了更高的要求。频率合成器作为电子系统中的信号源，实现高速、高精度、快切换、低功耗迫在眉睫。

信号合成技术已有数十年的发展，最初的振荡器由晶振和滤波器构成，但是鉴于其巨大的功耗、体积以及糟糕的精度，很难实用。而数控振荡器利用高精度的数字信号输入，可控性以及精度得到了巨大提高。

数控振荡器分主要分为两类：一类是利用锁相环跟踪参考信号，生成指定频率的输出信号；另一类是直接数字式，通过数字相位直接映射成正弦幅度。下面将介绍两种方法的技术特点。

### 锁相环式(PLL)频率综合

锁相环式频率综合技术，又称“间接频率综合”。如图x所示，锁相环主要由鉴相器，环路滤波器，压控振荡器，分频器构成负反馈环路(插入引用)。其原理是通过分频信号x对参考信号x进行相位跟踪，环路滤波后经压控振荡器放大输出，将生成倍频的输出信号。

预留锁相环式频率综合

改变分频器的分频倍数n，即可控制输出信号的中心频率 F\_o = n \* F\_c。这种频率综合器的结构较为简单且对功耗要求不高，输出信号的杂散性能比较好。尤其是在数字分数锁相环(插入引用)的出现使得各项性能再次获得大幅提高，成为现今主流的选择。

### 直接数字式频率综合(DDS)

DDS的思路是从相位角度出发，将其转化成波形，其基本结构分三块：相位累加器(PA)，相位-幅度转换器(PAC)，数模转换器(DAC)，各模块的承担的工作如下：

1）相位累加器用于计算信号相位

2）相位-幅度转换器将相位映射成非线性波形

3）数模转换器将波形转换成模拟信号，低通滤波后输出。

预留DDS基本框图

为了实现更好的性能，通常还会在系统中对相位进行压缩，如上图中还添加了相位压缩器。DDS在捷变性能和频率分辨率上相比锁相环式有巨大的优势，最大杂散分量可以达到120 dBc以上。DDS的主要问题是时钟频率相对比较慢，但是大规模集成电路(VLSI)的发展正在不断提高DDS的时钟频率。而随着高精度信号源的需求增大，不断有新领域开始使用DDS作为信号源。

## DDS的研究现状

随着CMOS集成电路的成熟，DDS于1971年被Tierney *et al*(插入引用)提出，核心观点是用ROM查表得到波形。这种方法在精度、捷变性能上相比其他频率合成器有突出的优势。但过大的ROM导致了面积偏大、速度较慢等问题。

在90年代，经过的多位学者的改进(插入引用)，引入了相位压缩的方法，以Sunderland，Nicholas(插入引用)为代表。利用高阶近似实现了查找表大小指数级的减少(插入引用)，加快了DDS的时钟频率。随后又有研究者开始使用线性插值(插入引用)、非线性插值(插入引用)、非均匀差值(插入引用)等方法，使得查找表的大小进一步减小。

由于查找表压缩的收益收紧，研究者开始使用角度旋转(插入引用)替代查表方法。CORDIC算法是支撑角度旋转的经典算法，通过多级移位、加法操作即可实现角度的旋转(插入引用)。查表方法的突出问题是ROM大小和地址长度呈指数关系，而角度旋转的优势是加法器数量随之线性增长。

(预留性能比较表)

近年来，使用非线性DAC实现相位-幅度转换成为主流(插入引用)，这种方法实际上是把PAC数字域的操作转移至DAC模拟域完成。相比之前的工作，使用非线性DAC在面积、功耗上取得进步，速度上也有一定的提升(插入引用)。但是引入了DAC设计中的新问题。

## 论文主要工作

在对频率综合以及DDS技术深入的研究后，结合毕业设计实际的需求、任务完成的挑战度，本文决定使用直接数字式方法实现数控振荡器。为了设计出超高速、高精度直接数字式频率综合器(DDS)，毕设的研究目标有一下三点：

（1）提升输出信号的杂散性能

（2）提高系统的最快时钟频率

（3）降低系统的功耗、面积

本文主要使用查表法和角度旋转法结合的方案，主要工作按5点展开：

（1）调研基于查表法和角度旋转法实现的DDS，了解其原理、特点。

（2）研究DDS的基本构成，建立数学模型并在Matlab上仿真输出波形

（3）分析DDS的噪声来源，在理论和电路上研究噪声的抑制方法。

（4）结合查表法和角度旋转提出新结构，在速度、精度上取得更好结果。

（5）完成RTL级代码编写和波形仿真，进行综合以及布局布线

在论文的组织安排上：第一章介绍数控振荡器在重要意义以及直接数字式频率合成器(DDS)的发展历程；第二章将详细描述DDS的技术原理，介绍查找表压缩和角度旋转两种优化方法，并对误差来源进行分析；第三章提出了改进的电路结构，分别介绍各电路模块的设计思想，配置资源策略以及对关键路径的优化方法；第四章主要是展示仿真的结果，包括仿真平台搭建以及时序仿真结果，并与其他论文进行结果比较；第五章对毕业设计的工作进行简要的总结，对各项结果给予结论，并且探究改设计未来的修改方向以及介绍数控振荡器的发展趋势。

# 直接数字式频率综合(DDS)原理

直接频率合成器是一种典型的数字电路系统，是实现数控振荡器的重要方法。随着近年来DDS性能的稳步提升，学术界对DDS技术的研究仍比较活跃，因此介绍清楚DDS的基本原理很有必要性。本章将首先DDS传统结构，建立其数学模型；第二、三节介绍查找表压缩、角度旋转两种方法，用于优化系统的杂散性能和时钟频率；第四节详细分析DDS输出的频谱特性，并说明系统中噪声的来源。

## DDS的原理和框架

上世纪70年代，信号发生器仍是利用锁相环（PLL）进行模拟信号的跟踪。基于CMOS工艺的出现，Tierney *et al*(插入引用)于1971年提出直接数字式方法，希望利用相位直接映射到指定波形。DDS的传统结构图x，其核心有三个部分，生成相位的累加器（PA），查表输出波形的相位-幅度转换器（PAC），以及低通的数模转换器（DAC）输出。

预留DDS传统结构框图

DDS系统输入为频率控制字（）和相位控制字，均为N位，输出正弦信号如公式(2-1)所示。其中频率控制字用于控制输出频率，相位控制字用于设定初始相位。

(2‑1)

(2-1)为连续时间表达式，转换到离散时间表达式为(2-2)，其中是时钟周期。为离散时间的正则相位，如(2-3)

(2‑2)

(2‑3)

输出信号的频率如公式(2-4)，其中N是累加器的计算位数。由于在全相位空间上隔点采样，根据奈奎斯特采样定律，离散采样频率至少为原信号带宽的两倍才能无混叠还原信号，因此对的最大值有限制。同时表明输出的频率最高能达到系统时钟频率的一半。

(2‑4)

公式(2-3)表明，正则相位以固定增量增长，通过累加操作可实现相位计算。由于是通过累加操作获得，在抖动时也能保证了相位的连续性，规避了因相位不连续产生的高频噪声。公式(2-5)显示了输出频率的最小变化量，增加累加器位数N就可以实现非常高的频率分辨率。

(2‑5)

在系统框图x中，使用相位累加器(PA)计算正则相位。PA由加法器和寄存器构成。加法器输入一端为，另一端与寄存器相连，加法结果则在下一时钟上升沿写入寄存器。相位生成后，下一步是将其映射到正弦幅度上。

相位-幅度转换器(PAC)是DDS中最为重要的设计，其结构对系统性能的影响最大。使用查找表进行相位-幅度转换是最常见的PAC实现方式。通过记录所有相位对应的幅度值，实现非线性函数的映射。在系统框图x中，利用ROM记录查找表数据，完成相位到幅度的映射。

(2‑6)

使用查表法的一个显著优点是实现简单，使用一个ROM即可完成相位-幅度的转换，在低精度要求下也可以达到较快的速度。然而查表法必须要面临的一个问题是精度和速度的取舍。

为了在全相位空间寻址，查找表的大小如公式(2-7)，其中M为输出量化位数。根据公式(2-7)，LUT的大小随N指数增长。每提升1bit相位比特数，表的大小都要翻一倍，这将急剧增加ROM的读取开销和面积开销。意味着高分辨率的DDS必须要在时钟频率上让步。

(2‑7)

系统最后通过数模转换器将数字信号转换为模拟信号。如图x所示，D/A 转换后波形还存在明显的阶梯效应，随后需要重建到二阶连续的正弦信号上。

预留DTFT图

(2‑8)

由于在时间离散信号相当于在时间连续信号上采样，因此相在DTFT上当于对连续信号进行周期性重叠，表达式如(2-8)所示。其频域信号对比如图x所示，可见时间离散信号在一定频谱范围内和时间连续信号相同。因此使用低通滤波器LPF实现到的转换。

## 查找表压缩技术

从本章首节的理论中，DDS面临的主要问题是高分辨率和时钟频率的矛盾。要提升系统的速度，关键是提升ROM的访存速度。在实现工艺确定的情况下，一个提升ROM性能的方法是减少其地址的长度，即压缩相位。

在文献(参考文献)中，提出了使用“压缩方法”。其思想是使用地址的后N-2位信息在第一象限查表，而前2位用于将查表向量翻转至原有象限。如图x所示，任意向量均可在第一象限水平、竖直翻转至原有向量。该方法能有效减少ROM地址长度2位，使得查找表数据减少为原来的1/4。更进一步的是“压缩方法” (参考文献)，考虑到正、余弦函数的对称性，只需要使用后N-3位信息在(0, )区间同时查找正、余弦函数值。相比“压缩方法”，“压缩方法”存储数据量相同，但是查表地址减少了一位。

预留翻转图片

除了利用对称性压缩相位，coarse-fine结构(参考文献)也是减小查找表大小的经典方法。如图x所示，将相位划分成位数为a, b, c的三个部分A，B，C。根据公式(2-9)，可建立coarse，fine两个表，分别记录sin(A+B)和cos(A)sin(C)的值，最后将两值相加则得到近似的正弦信号。

预留相位划分

coarse-fine结构是分治法在电路设计中的体现，由于ROM性能随地址长度指数下降，分而治之可以从中获得收益。但仍需讨论近似的误差，公式(2-10)表明，当约束条件满足时，地址位最多可减少位原有长度的2/3。

(2‑9)

## 角度旋转方法介绍

### CORDIC算法原理

### 改进算法

## DDS的频谱特性和误差来源

## 本章小结

# 基于直接数字式的振荡器设计

## ROM-CORDIC 混合结构设计

直接数字合成器在频率分辨率、捷变性能上取得较大成功，但较锁相环式振荡器，传统DDS仍存在时钟频率受限，输出杂散性能不佳等情况。

为了提高DDS的时钟频率和杂散性能，本文采用了基于ROM的查找表和基于CORDIC的角度旋转法结合的思路，系统的面积功耗有限增长的情况下，极大减少了查找表的寻址深度，在频率分辨率不变的情况下提高了查表速率。

### 系统架构

预留系统架构图

图x显示了DDS的系统框图。它的输入为16 bit的频率控制字(fcw)和相位控制字(pcw)，用于更改系统输出的正弦波频率和初始相位。相位累加器(PA)根据fcw 和 pcw 生成16 bit 的数字相位，表示相位在(0, 2pi) 区间内所占比例。

由于三角函数的对称性，利用(0, 1/4pi) 区间正、余弦函数值，通过对称操作即可表示正弦函数的值域。相位压缩模块(PC)提取出3 bit 对称操作控制字(mcw)，13bit 伪相位phi’ 输出至PAC, 用于查找表寻址和控制旋转角度。

PAC包括384-byte的查找表和7组角度旋转电路。Phi’的1~6位用于查找表寻址，获得粗分辨率单频信号。Phi’ 的7~13位用于控制旋转角度，对粗分辨率单频信号进行修正，获得细分辨率单频信号最后通过对称操作模块，将细分辨率信号从(0,1/4 pi) 映射到(0, 2 pi)区间，最后输出。

### 相位累加器(PA)设计

相位累加器(PA)接收外部输入的fcw 和 pcw，生成线性增长的相位。图x所示，PA由一个16 bit 加法器和16 bit 寄存器构成，输出16 bit相位phi

预留PA框图

PA生成的相位满足公式x

phi(n\*delta\_t) = fcw \* n + pcw

根据公式 x ，输出信号的中心频率满足f0 = fcw/2^M \* F\_clk，其中M = 16表示加法的位数，F\_clk是系统时钟频率。系统的频率分辨率为 delta\_phi = F\_clk/2^M，可见要加强频率分辨率，首先需提高加法器位数。

pcw的作用是在系统重置后对相位赋初值。重置结束后，相位初值不受pcw影响，不能随时更改相位。

### 相位压缩器(PC)设计

预留相位划分图

图x展示为数字相位的区域：其中MSB1 ~ MSB3用于对称操作， MSB4 ~ MSB9用于查找表寻址，MSB10 ~ MSB16用于角度旋转。如图x所示，需要将任意相角的向量映射到(0, 1/4 pi)区间，需要对上述相位进行变换。

预留向量对称图

相位phi的前3位表示向量所在的8分区间，利用区间信息可将该向量对折至(0, 1/4 pi)区间。因此直接取MSB1~MSB3作为对称操作控制字(scw)，输出至对称操作模块。

根据图x，为计算出伪相角phi’，需利用MSB4~MSB16。根据对称关系，若MSB3 值为1，则反转MSB4~MSB16 作为phi’，否则phi’取MSB4~MSB16。Phi’的前6位作为查找表地址(la)，后7位作为旋转控制字(rcw)，分别输出至ROM 和 旋转电路用于确定伪向量

### 相位幅度转换器(PAC)设计

**)A 查找表**

查找表是将相位转化成幅度的重要模块，根据地址输出粗分辨率的信号。查找表需要将(0, 1/4 pi)区间内的正、余弦幅度X0 = cos()，Y0 = sin() 输出。与参考文献x相似，查找表额外存储了两组函数X\_Q = 1/4 pi \*cos() 和Y\_Q = 1/4 pi \* sin()，以替代之后的乘法操作。

预留PAC框图

根据公式x，为了防止溢出，写入值需要理论值与常数K相乘得到。具体设计中，X\_R，Y\_R的长度为16 bit，而X\_Q和Y\_Q量化位数为8bit，因此单次查表的带宽为48 bit。

**)B 旋转电路**

如图x，角度旋转电路接收查找表输出和旋转控制字(rcw)，最终将向量(X\_R, Y\_R)旋转至修正值(X, Y)。根据1.1.1中的误差分析，角度旋转将带来杂散性能的增益，rcw 每提升一位。

预留旋转电路框图

公式x显示，改进Cordic算法由多次矩阵乘法迭代产生的，迭代操作可由多个旋转电路级联构成。公式x中，矩阵乘法操作包括两次加法和两次移位，因此在设计旋转电路时，选取两个移位器和两个16 bit加法器构成，如图x。由于rcw 长度为7 bit，需7级旋转电路级联，故7次旋转后得到(0, 1/4 pi)区间的伪向量(X,Y)。

**)C 对称输出模块**

伪向量仍需要经过对称操作才能映射到输出向量(X\_o，Y\_o)。对称操作的逻辑表达式如公式x，利用多路选择器和反相器即可实现对称输出模块。

预留对称公式

## 资源配置分析

### 误差分析

本文2.4章节分析了误差的引入，最终输出的噪声包括相位截断噪声a，幅度计算噪声b，输出量化噪声c。

根据2.4.x的分析，噪声a为有色噪声，对SFDR指标产生直接影响。噪声b产生的原因比较复杂，一方面公式x中常数K引入了近似噪声，同时还有移位操作产生的截断误差。量化噪声c是统计意义上的白噪声，影响系统SNR指标。结合所提出的设计方案，可分别计算噪声a，b，c的大小为：

预留噪声表达式

表达式中，相位为N bit，相位截断位数M = L + R，L为查表位数，R为旋转位数。可以看出，公式x显示，当(约束条件)不满足时，max b > max c，此时噪声b无法被量化噪声c掩盖，将导致系统的SFDR以及SNR会发生骤降。

### 配置方案

在设计电路架构时，不仅要考虑到系统噪声

## 关键路径优化方法

### 流水线设计

### 局部电路优化

## 本章小结

# 数控振荡器实现和仿真

## 功能性仿真平台搭建

### Matlab数值计算平台仿真

### Modelsim 仿真平台搭建

## 时序仿真结果

## 性能比较

## 本章小结

# 结论

## 主要工作总结

## 未来工作展望