清 华 大 学

综 合 论 文 训 练

题目：超高速、高精度数控振荡器(NCO)设计

系 别：电子工程系

专 业：电子信息科学与技术

姓 名：杨一雄

指导教师：杨华中 教授

2017 年 5 月 28 日

关于学位论文使用授权的说明



中文摘要

在目前众多的基于无线传感器网络的应用中，时钟同步技术是一个非常关键的技术。时钟同步技术可以用来实现任务调度，统计数据分布，协调动作与通信等功能。由于无线传感器网络具有低功耗、分布式、节点数量大等特点，因此越来越多的传感器网络节点开始采用太阳能自供能的电源方案。

本文通过研究太阳能的时间分布信息，提出了一种基于太阳信标的时钟同步方案。这项技术依托于传感器节点对于太阳能的采集，不需要大规模的射频收发同步以及其他的额外操作，在分布式的传感器节点内部算法复杂度低，平均功耗低。由于很多无线传感器网络应用的主要任务是数据采集，因此这项时钟同步技术可以满足基于太阳能自供能的传感器节点对于采样时钟的需求。

关键词：时钟同步；太阳能；无线传感器网络

ABSTRACT

Time synchronization technology stands in a very critical position of today’s wireless sensor network applications. Time synchronization technology is used in the area of task scheduling, data synchronization, task coordination, and communication functions. Since WSN system is concerned to be distributed, lower power consumed, and of large amount, more and more WSN sensor nodes adopt to use the power management system based on solar energy harvesting.

In this article, we studies the time distribution of solar energy information, and proposes a time synchronization scheme based on the solar beacon. This technology works according to the solar information collected by WSN sensor node, without too much radio frequency transmitting and receiving, which causes a very low power consumption. The synchronization is mainly realized in the server and the algorithm in the sensor node is of less complexity. Considering that a large quantity of WSN application is used for data acquisition, this time synchronization technology is able to meet the sample clock requirement of WSN sensor nodes based on solar energy harvesting.

Keywords: Clock Synchronization; Solar; Sensor Network

目 录

[第1章 引言 5](#_Toc482546873)

[1.1 研究背景 5](#_Toc482546874)

[1.1.1 锁相环式(PLL)频率综合 5](#_Toc482546875)

[1.1.2 直接数字式频率综合(DDS) 6](#_Toc482546876)

[1.2 DDS的研究现状 6](#_Toc482546877)

[1.3 论文主要工作 7](#_Toc482546878)

[第2章 直接数字式频率综合(DDS)原理 8](#_Toc482546879)

[2.1 DDS的基本结构 8](#_Toc482546880)

[2.2 查找表压缩技术 8](#_Toc482546881)

[2.3 Cordic算法 8](#_Toc482546882)

[2.3.1 基本原理 8](#_Toc482546883)

[2.3.2 改进算法 8](#_Toc482546884)

[2.4 误差来源分析 8](#_Toc482546885)

[第3章 基于直接数字式的振荡器设计 9](#_Toc482546886)

[3.1 Rom-Cordic 混合结构设计 9](#_Toc482546887)

[3.1.1 系统架构 9](#_Toc482546888)

[3.1.2 相位累加器(PA)设计 9](#_Toc482546889)

[3.1.3 相位压缩器(PC)设计 10](#_Toc482546890)

[3.1.4 相位幅度转换器(PAC)设计 10](#_Toc482546891)

[3.2 资源配置分析 11](#_Toc482546892)

[3.2.1 误差分析 11](#_Toc482546893)

[3.2.2 配置方案 12](#_Toc482546894)

[3.3 关键路径优化方法 12](#_Toc482546895)

[3.3.1 流水线设计 12](#_Toc482546896)

[3.3.2 局部电路优化 14](#_Toc482546897)

[3.4 算法优化分析 14](#_Toc482546898)

[3.5 本章小结 15](#_Toc482546899)

# 引言

## 研究背景

当今时代，无线通信系统正在全球急速扩展，生活中方方面面都离不开无线网络、蜂窝信号。新的应用如雨后春笋版出现，基于毫米波的5G移动网络正从实验室走向生活，但是这也对无线系统提出了更高的要求。频率合成器作为电子系统中的信号源，实现高速、高精度、快切换、低功耗迫在眉睫。

信号合成技术已有数十年的发展，最初的振荡器由晶振和滤波器构成，但是鉴于其巨大的功耗、体积以及糟糕的精度，很难实用。而数控振荡器利用高精度的数字信号输入，可控性以及精度得到了巨大提高。

数控振荡器分主要分为两类：一类是利用锁相环跟踪参考信号，生成指定频率的输出信号；另一类是直接数字式，通过数字相位直接映射成正弦幅度。下面将介绍两种方法的技术特点。

### 锁相环式(PLL)频率综合

锁相环式频率综合技术，又称“间接频率综合”。如图x所示，锁相环主要由鉴相器，环路滤波器，压控振荡器，分频器构成负反馈环路(插入引用)。其原理是通过分频信号x对参考信号x进行相位跟踪，环路滤波后经压控振荡器放大输出，将生成倍频的输出信号。

预留锁相环式频率综合

改变分频器的分频倍数n，即可控制输出信号的中心频率 F\_o = n \* F\_c。这种频率综合器的结构较为简单且对功耗要求不高，输出信号的杂散性能比较好。尤其是在数字分数锁相环(插入引用)的出现使得各项性能再次获得大幅提高，成为现今主流的选择。

### 直接数字式频率综合(DDS)

DDS的核心是将相位转化成波形，其基本结构主要是三块：相位累加器(PA)，相位-幅度转换器(PAC)，数模转换器(DAC)，其框图如x所示。PA用于计算信号数字相位phi，PAC将phi映射成非线性波形f(phi)，最后将f(phi)转换成模拟信号输出。

预留DDS基本框图

为了实现更好的性能，通常还会在系统中对相位进行压缩，如上图中还添加了相位压缩器。DDS在捷变性能和频率分辨率上相比锁相环式有巨大的优势，最大杂散分量可以达到120 dBc以上。DDS的主要问题是时钟频率相对比较慢，但是大规模集成电路(VLSI)的发展正在不断提高DDS的时钟频率。而随着高精度信号源的需求增大，不断有新领域开始使用DDS作为信号源。

## DDS的研究现状

随着CMOS集成电路的成熟，DDS于1971年被Tierney *et al*(插入引用)提出，核心思想是用Rom查表得到波形。这种方法在精度、捷变性能上相比其他频率合成器有突出的优势。但过大的Rom导致了面积偏大、速度较慢等问题。

在90年代，经过的多位学者的改进(插入引用)，引入了相位压缩的方法，以Sunderland，Nicholas(插入引用)为代表。利用高阶近似实现了查找表大小指数级的减少(插入引用)，加快了DDS的时钟频率。随后又有研究者开始使用线性插值(插入引用)、非线性插值(插入引用)、非均匀差值(插入引用)等方法，使得查找表的大小进一步减小。

由于查找表压缩的收益收紧，研究者开始使用角度旋转(插入引用)替代查表方法。Coridc算法是支撑角度旋转的经典算法，通过多级移位、加法操作即可实现角度的旋转(插入引用)。查表方法的突出问题是Rom大小和地址长度呈指数关系，而角度旋转的优势是加法器数量随之线性增长。

(预留性能比较表)

近年来，使用非线性DAC实现相位-幅度转换成为主流(插入引用)，这种方法实际上是把PAC数字域的操作转移至DAC模拟域完成。相比之前的工作，使用非线性DAC在面积、功耗上取得进步，速度上也有一定的提升(插入引用)。但是引入了DAC设计中的新问题。

## 论文主要工作

在对频率综合以及DDS技术深入的研究后，结合毕业设计实际的需求以及任务挑战度，决定使用DDS实现数控振荡器。为实现超高速、高精度数控振荡器，我的研究目标有三点：

（1）提升输出信号的杂散性能

（2）提高系统的最快时钟频率

（3）降低系统的功耗、面积

结合三点目标，本文主要使用查表法和角度旋转法结合的方案，而主要工作按一下几点展开：

（1）调研基于查表法和角度旋转法实现的DDS，了解其原理、特点。

（2）研究DDS的基本构成，建立数学模型并在Matlab上仿真

（3）分析DDS的噪声来源，在理论和电路上研究噪声的抑制方法。

（4）结合查表法和角度旋转法，提出DDS的系统结构。目标是使得速度、精度以及功耗上均取得了较好的结果。

（5）完成RTL级代码编写和波形仿真，进行综合以及布局布线

论文的组织安排上，第一章介绍数控振荡器以及DDS的发展历程，介绍了各。

将改进版Cordic算法运用于角度旋转电路，最终在速度、精度上均取得了较好的结果。经过综合以及布局布线，系统可运行在1.7 GHz时钟下，输出波形进行4096点FFT后结果表明，最大SFDR 达到100 dBc以上。

# 直接数字式频率综合(DDS)原理

## DDS的基本结构

## 查找表压缩技术

## Cordic算法

### 基本原理

### 改进算法

## 误差来源分析

# 基于直接数字式的振荡器设计

## Rom-Cordic 混合结构设计

直接数字综合器在频率分辨率、捷变性能上取得较大成功，但较锁相环式振荡器，传统DDS仍存在时钟频率受限，输出杂散性能不佳等情况。

为了提高DDS的时钟频率和杂散性能，本文采用了基于Rom的查找表和基于Cordic的角度旋转法结合的思路，系统的面积功耗有限增长的情况下，极大减少了查找表的寻址深度，在频率分辨率不变的情况下提高了查表速率。

### 系统架构

预留系统架构图

图x显示了DDS的系统框图。它的输入为16 bit的频率控制字(fcw)和相位控制字(pcw)，用于更改系统输出的正弦波频率和初始相位。相位累加器(PA)根据fcw 和 pcw 生成16 bit 的数字相位，表示相位在(0, 2pi) 区间内所占比例。

由于三角函数的对称性，利用(0, 1/4pi) 区间正、余弦函数值，通过对称操作即可表示正弦函数的值域。相位压缩模块(PC)提取出3 bit 对称操作控制字(mcw)，13bit 伪相位phi’ 输出至PAC, 用于查找表寻址和控制旋转角度。

PAC包括384-byte的查找表和7组角度旋转电路。Phi’的1~6位用于查找表寻址，获得粗分辨率单频信号。Phi’ 的7~13位用于控制旋转角度，对粗分辨率单频信号进行修正，获得细分辨率单频信号最后通过对称操作模块，将细分辨率信号从(0,1/4 pi) 映射到(0, 2 pi)区间，最后输出。

### 相位累加器(PA)设计

相位累加器(PA)接收外部输入的fcw 和 pcw，生成线性增长的相位。图x所示，PA由一个16 bit 加法器和16 bit 寄存器构成，输出16 bit相位phi

预留PA框图

PA生成的相位满足公式x

phi(n\*delta\_t) = fcw \* n + pcw

根据公式 x ，输出信号的中心频率满足f0 = fcw/2^M \* F\_clk，其中M = 16表示加法的位数，F\_clk是系统时钟频率。系统的频率分辨率为 delta\_phi = F\_clk/2^M，可见要加强频率分辨率，首先需提高加法器位数。

pcw的作用是在系统重置后对相位赋初值。重置结束后，相位初值不受pcw影响，不能随时更改相位。

### 相位压缩器(PC)设计

预留相位划分图

图x展示为数字相位的区域：其中MSB1 ~ MSB3用于对称操作， MSB4 ~ MSB9用于查找表寻址，MSB10 ~ MSB16用于角度旋转。如图x所示，需要将任意相角的向量映射到(0, 1/4 pi)区间，需要对上述相位进行变换。

预留向量对称图

相位phi的前3位表示向量所在的8分区间，利用区间信息可将该向量对折至(0, 1/4 pi)区间。因此直接取MSB1~MSB3作为对称操作控制字(scw)，输出至对称操作模块。

根据图x，为计算出伪相角phi’，需利用MSB4~MSB16。根据对称关系，若MSB3 值为1，则反转MSB4~MSB16 作为phi’，否则phi’取MSB4~MSB16。Phi’的前6位作为查找表地址(la)，后7位作为旋转控制字(rcw)，分别输出至Rom 和 旋转电路用于确定伪向量

### 相位幅度转换器(PAC)设计

**)A 查找表**

查找表是将相位转化成幅度的重要模块，根据地址输出粗分辨率的信号。查找表需要将(0, 1/4 pi)区间内的正、余弦幅度X0 = cos()，Y0 = sin() 输出。与参考文献x相似，查找表额外存储了两组函数X\_Q = 1/4 pi \*cos() 和Y\_Q = 1/4 pi \* sin()，以替代之后的乘法操作。

预留PAC框图

根据公式x，为了防止溢出，写入值需要理论值与常数K相乘得到。具体设计中，X\_R，Y\_R的长度为16 bit，而X\_Q和Y\_Q量化位数为8bit，因此单次查表的带宽为48 bit。

**)B 旋转电路**

如图x，角度旋转电路接收查找表输出和旋转控制字(rcw)，最终将向量(X\_R, Y\_R)旋转至修正值(X, Y)。根据1.1.1中的误差分析，角度旋转将带来杂散性能的增益，rcw 每提升一位。

预留旋转电路框图

公式x显示，改进Cordic算法由多次矩阵乘法迭代产生的，迭代操作可由多个旋转电路级联构成。公式x中，矩阵乘法操作包括两次加法和两次移位，因此在设计旋转电路时，选取两个移位器和两个16 bit加法器构成，如图x。由于rcw 长度为7 bit，需7级旋转电路级联，故7次旋转后得到(0, 1/4 pi)区间的伪向量(X,Y)。

**)C 对称输出模块**

伪向量仍需要经过对称操作才能映射到输出向量(X\_o，Y\_o)。对称操作的逻辑表达式如公式x，利用多路选择器和反相器即可实现对称输出模块。

预留对称公式

## 资源配置分析

### 误差分析

本文2.4章节分析了误差的引入，最终输出的噪声包括相位截断噪声a，幅度计算噪声b，输出量化噪声c。

根据2.4.x的分析，噪声a为有色噪声，对SFDR指标产生直接影响。噪声b产生的原因比较复杂，一方面公式x中常数K引入了近似噪声，同时还有移位操作产生的截断误差。量化噪声c是统计意义上的白噪声，影响系统SNR指标。结合所提出的设计方案，可分别计算噪声a，b，c的大小为：

预留噪声表达式

表达式中，相位为N bit，相位截断位数M = L + R，L为查表位数，R为旋转位数。可以看出，公式x显示，当(约束条件)不满足时，max b > max c，此时噪声b无法被量化噪声c掩盖，将导致系统的SFDR以及SNR会发生骤降。

### 配置方案

在设计电路架构时，不仅要考虑到系统噪声

## 关键路径优化方法

### 流水线设计

在理想的情况下，可以假设节点的本地时钟是精确地，不存在频偏和相位漂移。因此在这个假设下，完成3.1.1中所描述的算法，就可以实现对于无线传感网系统的时钟同步。但是在实际情况下，尤其是SoC中没有晶振的RC时钟发生器，时钟序列是不稳定的，存在比较明显的时钟漂移。因此，在消除了3.2.1中的序列延迟后，还应该补充优化算法来修正采样时钟的频偏。

首先要估算时钟频偏的粒度。正如前文所提及的，对于不同的无线传感网节点而言，时钟的偏移差距是很大的。这里主要有两种情况：

（1）由标准晶振产生的时钟。

在一个嵌入式系统中，系统时钟往往是由晶体振荡器电路产生的，因此可以保证很高的时钟精度。对于一般的晶振而言，晶振精度约为1~100ppm，典型值为40ppm，即或。因此对于数据采集的时钟来讲，其时钟精度是有保障的。此时的时钟频偏往往来自于其他的因素，如环境因素、处理器定时器误差等因素。

但是由于晶振不易被集成，因此工艺难度大、成本高，在一些需要高精度数据的领域中会被常常用到，如国防、航空[18]等。

（2）由RC振荡器产生的时钟

由于晶振不易被集成，因此目前的低成本嵌入式SoC中，使用“RC+振荡器”电路产生时钟的情况比比皆是。相比于晶振电路，RC振荡器的Q值低，幅频响应通带较宽，因此时钟漂移大，频偏高，时钟很不稳定。再加上环境因素和定时器设计等软件因素也会产生影响。因此，这种传感网电路有必要进行时钟频偏的修正。



图 3.6 置信点示意图

对于时钟延时校准而言，在采样的波形中，太阳能变化率较大的区域往往可以更好实现波形的匹配（分析见3.2.2），从而可以更加精确地实现时钟延时的校准。这些区域中的点被称为时钟延时校准的**置信点**。在一段波形中往往会有多个置信点，选择这些区域的置信点进行校准，就可以在这段波形中找到多个校准同步后的高精度时间点。如图3.6所示，信标时钟序列A的采样率是节点时钟序列B的采样率的倍。图中的点，就是经过第一步时钟延时校准后的置信点，对于有限的时钟频偏而言可以认为是精确地时钟同步点。因此，通过高采样率的信标节点时钟序列A可以计算出两个相邻置信点的时间间隔：

而这段时间间隔里，序列B中对应的周期数为。那么，可以计算出来序列B在这段时间间隔中的实际时钟周期为：

从而修正对应的序列B在点，之间的时钟频偏：

假设时钟频偏在较短的时间间隔内可以认为是线性变化。那么根据这个基本原理，信标采样时钟频率为，因此可以计算得到这个算法对频偏估计的理论精度为：

### 局部电路优化

## 算法优化分析

根据以上算法设计和精度误差分析内容，可以看出，基于太阳信标的时钟同步算法的局限性主要集中在以下几点：

（1）算法依赖于太阳能曲线的变化趋势，曲线变化率的大小对于算法的性能有比较大的影响，而实际的太阳能变化曲线受天气和环境的影响很大，这一点制约了算法的精度和适用范围。

（2）时钟延时校准算法受外界的噪声影响比较大。现有的理论算法对于误差的修正能力有限。

（3）系统采样时钟的频偏对于时钟延时校准算法的影响比较大。从而也会影响到第二部分时钟频偏修正算法的精度。

（4）整个算法对于外界的异常干扰的处理缺乏手段。一旦发生这种强度比较大、持续时间比较长的干扰，服务器就需要提出整段的数据来去除干扰因素。

针对这些问题，可以提出几点改进方案如下：

（1）可以通过大量的数据分析，找到每天中太阳能变化比较明显的时间段，比如清晨、正午、黄昏等时间段进行集中的时间同步，然后通过这些区域的同步置信点来完善其他时间段的时间同步。

（2）可以在节点段针对太阳能不变化，自适应的选取一部分变化率比较大的点作为置信点。

（3）调研提出更加有效的序列匹配算法。

（4）通过机器学习等大数据分析的方法研究干扰对于时钟同步的影响并在算法中加入修正因子。

## 本章小结

这种基于太阳信标的时钟同步的方法不同于传统的时钟同步方法。传统的时钟同步实质上等价于修改了分支节点的本地时钟，使得不同的节点严格的依照经过校准的全局同步时钟执行工作。但是由于无线传感器网络独特的应用需求，传感器节点的任务主要是数据采集和部分数据计算，所以不同节点之间在任务执行方面的时钟同步需求不大。基于这种考虑，本文的时钟同步算法将同步的工作重点由任务调度同步转移到了数据同步。实际的数据同步对于传感器的测试同步需求不高，所以这种同步方式完全可以适用于新一代的无线传感网系统之中。

基于太阳信标的时钟同步算法分为两个主要部分，分别是基于采样时钟序列的时钟延时校准和基于延时校准的时钟频偏修正。本章主要描述了两种算法的主要思路、数学模型和理论推导，从理论上保证了算法的可行性。然后通过实验和假设对算法实现的精度和误差进行了详尽的分析，并最终针对这些不足提出了改进优化的方向。

基于太阳信标的时钟同步算法的同步数据可以和传感器节点采集的数据一起发回服务器终端，因此完全避免了传统时钟同步技术中对间歇性射频收发同步信号的功耗损失。而对于测试数据依赖于太阳能数据的节点，可以认为这种同步算法完全是凭借现有的全部数据实现的，消除了大部分的射频功耗。这对于对能量效率需求较高的太阳能自供能节点而言是有很大的优势的。

# 插图索引